

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03015945 A**(43) Date of publication of application: **24 . 01 . 91**

(51) Int. Cl.

G06F 9/46
G06F 9/46
(21) Application number: **01028331**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **07 . 02 . 89**(72) Inventor: **ENDO MAKOTO**
**(54) INTERRUPTION CONTROLLER WITH PRIORITY
SETTING FUNCTION**

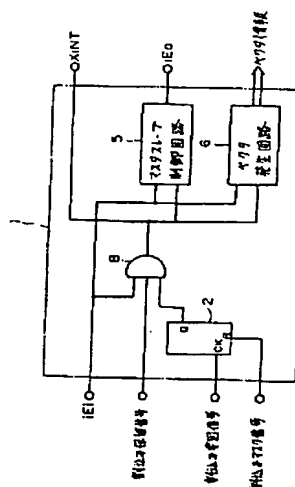
2. Thus, priority can be freely changed midway even if the DG chain is constituted.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&Japio

PURPOSE: To change priority midway even if a daisy chain is previously constituted from the interruption circuit of high priority by prohibiting or holding interruption control in the interruption controller circuit through the use of an interruption mask signal and an interruption holding signal.

CONSTITUTION: An interruption request register 2 receiving an interruption cause signal and an AND gate 8 receiving the output of the register 2 and an interruption processing condition signal iEi from a high-order controller circuit are provided for the interruption controller circuit 1. A master slave control circuit 5 outputting an interruption processing condition signal iEo to a low-order interruption controller circuit based on the output of the AND gate and a vector generation circuit 6 generating designation information in a prescribed address are provided. The interruption holding signal deciding whether interruption is held or not is inputted to the AND gate 8 and the interruption mask signal masking an interruption request signal is inputted to the register



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-15945

⑬ Int. Cl.⁹

G 06 F 9/46

識別記号

3 2 2 Z
3 1 1 E
F

庁内整理番号

8945-5B
8945-5B
8945-5B

⑭ 公開 平成3年(1991)1月24日

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 優先順位設定機能付き割込みコントローラ装置

⑯ 特 願 平1-28331

⑰ 出 願 平1(1989)2月7日

⑱ 発 明 者 遠 藤 誠 宮城県仙台市一番町1丁目2番25号 富士通東北デジタル・テクノロジー株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 願 書

1. 発明の名称

優先順位設定機能付き割込みコントローラ装置

2. 特許請求の範囲

複数の割込みコントローラ回路(1)を優先順位の高いものから順にチェーン状につないでなり、各割込みコントローラ回路(1)が、

割込み要因信号を受けてその旨の信号を出すインタラプトリクエストレジスタ(2)と、

該インタラプトリクエストレジスタ(2)からの出力と、上位の割込みコントローラ回路(1)からの割込み処理状況を示す信号とを受けるANDゲート(8)と、

該ANDゲート(8)からの出力に基づいて割込み処理状況を示す信号を下位の割込みコントローラ回路(1)へ出力するマスタスレーブ制御回路(5)と、

該ANDゲート(8)からの出力に基づいて所定

の番地を指定するベクタ情報を発生するベクタ発生回路(6)とをそなえてなり、

該ANDゲート(8)に、該インタラプトリクエストレジスタ(2)からの出力および該上位の割込みコントローラ回路(1)からの割込み処理状況を示す信号に加えて、割込みを保留すべきか否かを決める割込み保留信号が入力されるように構成されるときに、

該インタラプトリクエストレジスタ(2)に、該割込み要求をマスクする割込みマスク信号が入力されるように構成されたことを

特徴とする、優先順位設定機能付き割込みコントローラ装置。

3. 発明の詳細な説明

〔目 次〕

概要

産業上の利用分野

従来の技術〔第9～11図(a)～(e)〕

発明が解決しようとする課題
 課題を解決するための手段(第1図)
 作用(第1図)
 実施例(第2～8図)
 発明の効果

【概要】

優先順位設定機能付きの割込みコントローラ装置に関し、

予め優先順位の高いものからデージーチェーンを構成しておいた場合でも、途中で優先順位を自由に変更できるようにすることを目的とし、

複数の割込みコントローラ回路を優先順位の高いものから順にチェーン状につないでなり、各割込みコントローラ回路が、割込み要因を受けその旨の信号を出すインタラプトリクエストレジスタと、このレジスタからの出力と上位の割込みコントローラ回路からの割込み処理状況信号とを受け、ANDゲートと、ANDゲートからの出力に基づいて割込み処理状況信号を下位の割込みコン

が、この第9図に示すように、複数の割込みコントローラ回路1が、割込み優先順位の高いもの(図中、左から順に優先順位が高い)から順にチェーン状につながれている。そして、上位の割込みコントローラ回路1の出力がハイ(high)のときは、下位の割込みコントローラ回路1による割込み制御が可能になり、上位の割込みコントローラ回路1の出力がロー(Low)のときは、下位の割込みコントローラ回路1による割込み制御が禁止されるようになっている。

ところで、第10図は従来の割込みコントローラ回路1のブロック図であるが、この第10図に示す割込みコントローラ回路1は、インタラプトリクエストレジスタ2、ラッチ3、インサースレジスタ4、マスタスレーブ制御回路5、ベクタ発生回路6、デコーダ7および種々のゲート回路8'、9'、10～14をそなえて構成されている。

ここで、インタラプトリクエストレジスタ2は、Dフリップフロップで構成され、そのクロック端

ローラ回路へ出すマスタスレーブ制御回路と、ANDゲートからの出力に基づきベクタ情報が発生するベクタ発生回路とをそなえ、ANDゲートに、更に割込み保留信号が入力されるように構成されるほか、インタラプトリクエストレジスタに、割込み要求マスク信号が入力されるように構成する。

【産業上の利用分野】

本発明は、優先順位設定機能付きの割込みコントローラ装置に関する。

例えば、CPUを用いて複数の割込みを制御する手法として、デージーチェーンによる制御方法がある。かかる手法では、割込みに対し優先順位を予め設定しておき、複数の割込みコントローラ回路1を上記優先順位の高いものから順にチェーン状につないで、割込み処理に優先順位をつけて制御を行なうようになっている。

【従来の技術】

第9図はデージーチェーンを説明する図である

に割込み要因信号(この信号は割込み要求があるとソフト的にCPU側から出される信号)が入力されるようになっていて、割込み要求が出された場合にその旨の信号をQ出力端から出すようになっている。なお、インタラプトリクエストレジスタ2のD入力端は、プルアップされている。

そして、インタラプトリクエストレジスタ2の出力は、上位の割込みコントローラ回路1からの割込み処理状況を示す信号IEIとともに、ANDゲート8'へ入力されていて、このANDゲート8'の出力が、ラッチ3のD入力端へ入力されて、これがラッチ3で一時保持されるようになっている。

インサースレジスタ4もDフリップフロップで構成され、このインサースレジスタ4のD入力端にラッチ3の出力が入力されるようになっており、更にそのQ出力はゲート回路13を介してベクタ発生回路6へ入力されるとともに、インサースレジスタ4のXQ出力はマスタスレーブ制御回路5へ入力されるようになっている。

マスタスレーブ制御回路5は、演算のゲート回路15～19で構成され、インサースレジスタ4のXQ出力のほか、ラッチ3のXQ出力、上位の割込みコントローラ回路1からの信号iEi、デコーダ7からの信号を受けて、割込み処理状況を示す信号iEoを下位の割込みコントローラ回路1へ出力するものである。

ベクタ発生回路6は、ゲート回路13からハイレベル（以下、Hレベルという）信号を受けると、この回路特有の所定の番地（アドレス）を指定するベクタ情報（8ビット）を発生するものである。

デコーダ7は、割込み終了時にソフトウェアから終了コード（8ビット）を受けると、その旨の命令信号（RETi命令）を出すものである。

ゲート回路8'は、前述のごとく、インタラプトリクエストレジスタ2からのQ出力と、上位の割込みコントローラ回路1からの割込み処理状況信号iEiとを受けて、その論理和出力をラッチ3のD入力端へ出力するANDゲートで、ゲート回路9'は、システム立ち上げ時に初期化の目的で

出されるシステムリセット信号と、インサースレジスタ4のXQ出力とを受けて、その論理和出力をインタラプトリクエストレジスタ2のリセット端へ入力するものである。

ゲート回路10はNORゲート、ゲート回路11、12はNANDゲートで、ゲート回路11、12はラッチ3とインサースレジスタ4との間のインタフェースの機能を有する。

ゲート回路13は、ベクタ発生回路6へのインタフェースで、ゲート回路14はANDゲート8の出力を受けて割込み要求があったことを信号XiNTとしてCPU側へ出力するものである。

なお、信号XN1、XioR、XRDはCPU側から供給される信号である。

なお、他の割込みコントローラ回路1も同様な構成となっている。

このような構成により、今、上位の割込みコントローラ回路1が割込み要求をしていない状態（信号iEiがHレベル）で、割込み要因信号が入力されたとすると、インタラプトリクエストレジ

スタ2のQ出力がHレベルになるので、ANDゲート8の出力もHレベルになる。これにより、信号XiNTがHレベルになる。

そして、このHレベルの信号XiNTがCPU側へ送られると、CPUが割込みモードになるが、このように割込みモードになると、ソフト処理により、CPUからHレベルのXN1、XioR信号が入力される。これにより、インサースレジスタ4のQ出力がHレベルになって、ベクタ発生回路6から所定のアドレスを指定するベクタ情報（8ビット）が出されるため、この所定のアドレスへジャンプして、割込み処理が実行される。

また、この間、マスタスレーブ制御回路5の出力iEoはローレベル（以下、Lレベルという）となっている。従って、この割込みコントローラ回路1よりも下位の割込みコントローラ回路1は割込み禁止状態になっている。

そして、CPUでの割込み処理が終了すると、CPUからは、ソフト処理により、その旨の信号が出され、これを受けたデコーダ7がその旨の信

号をゲート回路12やマスタスレーブ制御回路5へ出す。これにより、マスタスレーブ制御回路5の出力iEoがHレベルになる。その結果、これより下位の割込みコントローラ回路1が割込み処理可能な状態になる。

このようにして、上位の割込みコントローラ回路1の出力がHレベルのときは、下位の割込みコントローラ回路1による割込み制御が可能になり、上位の割込みコントローラ回路1の出力がLレベルのときは、下位の割込みコントローラ回路1による割込み制御が禁止されるようになっているのである。

次に、4つの割込みコントローラ回路1をデジーチェーン方式によって接続している場合において、割込みサービスを実施する場合について説明する。この場合は、まず第11図(a)のように全ての割込みコントローラ回路1（各割込みコントローラ回路1は優先順位の高いものから順にポートI、II、III、IVと付されている）に割込み要因信号が入っていない初期の状態において、第

11図(b)に示すように、優先順位3(ポートⅢ)の割込みコントローラ回路1が割込みサービスを要求しこれを受けて割込みサービス中になったとする。次に、この状態で、第11図(c)に示すごとく、優先順位2(ポートⅡ)の割込みコントローラ回路1が割込みを受けると、この割込みコントローラ回路1の出力iEoがLレベルになるため、優先順位3の割込みコントローラ回路1の割込みサービスが中断される。そして、第11図(d)に示すように、優先順位2の割込みサービスが完了して、この優先順位2の割込みコントローラ回路1の出力iEoがHレベルに復帰すると、優先順位3の割込みコントローラ回路1での割込みサービスが再開され、その後は、この優先順位3の割込みコントローラ回路1よりも優先順位の高い割込みコントローラ回路1で割込みサービスが入らないかぎり、この優先順位3での割込み処理が続行される[第11図(e)参照]。

ーラ回路である。この割込みコントローラ回路1は、割込み要因信号を受けてその旨の信号を出すインタラプトリクエストレジスタ2と、このインタラプトリクエストレジスタ2からの出力と上位の割込みコントローラ回路からの割込み処理状況を示す信号iEiとを受けるANDゲート8と、このANDゲート8からの出力に基づいて割込み処理状況を示す信号iEoを下位の割込みコントローラ回路へ出力するマスタスレーブ制御回路5と、ANDゲート8からの出力に基づいて所定の番地を指定するベクタ情報を発生するベクタ発生回路6とをそなえている。

さらに、ANDゲート8に、インタラプトリクエストレジスタ2からの出力および上位の割込みコントローラ回路からの割込み処理状況を示す信号iEiに加えて、割込みを保留すべきか否かを決定する割込み保留信号が入力されるように構成されるとともに、インタラプトリクエストレジスタ2に、割込み要求信号をマスクする割込みマスク信号が入力されるように構成されている。

〔発明が解決しようとする課題〕

しかしながら、このような従来のデージーチェーン方式による割込みコントローラ装置では、予め優先順位の高いものからデージーチェーンを固定的に構成しておくため、途中で優先順位を変更することができず、不便であるという問題点がある。

本発明は、このような問題点を解決しようとするもので、予め優先順位の高いものからデージーチェーンを構成しておいた場合でも、途中で優先順位を自由に変更できるようにした、優先順位設定機能付き割込みコントローラ装置を提供することを目的とする。

〔課題を解決するための手段〕

まず、本発明にかかるものも、複数の割込みコントローラ回路を優先順位の高いものから順にチェーン状につないでなる。

そして、第1図は本発明の原理ブロック図であるが、この第1図において、1は割込みコントロ

なお、他の割込みコントローラ回路も同様な構成となっている。

〔作用〕

このような構成により、割込み保留信号も割込みマスク信号も入っていない状態(共にLレベルの状態)では、信号iEiがHレベル(上位の割込みコントローラ回路が割込み処理中でない状態)であるとして、この割込みコントローラ回路1にHレベルの割込み要因信号がインタラプトリクエストレジスタ2に入力されると、ANDゲート8の出力がHレベルになる。これにより、信号XiNTがHレベルになって、これがCPUへ送られる。

一方、ベクタ発生回路6では、ANDゲート8のHレベル出力に基づき、所定の番地を指定するベクタ情報を発生する。また、この間、マスタスレーブ制御回路5からはLレベルの信号iEoが下位の割込みコントローラ回路へ出される。これにより、この割込みコントローラ回路1で制御される割込み処理が実行されるとともに、この割込み

コントローラ回路1よりも下位の割込みコントローラ回路では、対応する割込み処理は禁止される。

次に、Hレベルの割込み要因信号がインタラプトリクエストレジスタ2に入力されている状態で、割込みマスク信号がインタラプトリクエストレジスタ2へ入力されると、このインタラプトリクエストレジスタ2は強制的にリセットされ、これにより、ANDゲート8が、他の入力の状況にかかわらず、Lレベルになる。その結果、割込み開始を制御する信号XINTがHレベルにならず、しかもベクタ発生回路6からもベクタ情報は出されず、マスタスレーブ制御回路5の出力もLレベルにならない。これにより、この割込みコントローラ回路1での割込み処理は行なわれず、割込み処理をマスクすることができる。

また、Hレベルの割込み要因信号がインタラプトリクエストレジスタ2に入力されている状態で、Lレベルの割込み保留信号がANDゲート8へ入力されると、このANDゲート8が、他の入力の状況にかかわらず、Lレベルになる。その結果、

ある。

第2図は本発明の一実施例を示すブロック図であるが、この第2図に示す割込みコントローラ回路1は、インタラプトリクエストレジスタ2、ラッチ3、インサースビスレジスタ4、マスタスレーブ制御回路5（このマスタスレーブ制御回路5はゲート回路15～19からなる）、ベクタ発生回路6、デコーダ7および種々のゲート回路8～14をそなえて構成されている。

ここで、インタラプトリクエストレジスタ2、ラッチ3、インサースビスレジスタ4、マスタスレーブ制御回路5、ベクタ発生回路6、デコーダ7およびゲート回路10～14については、第10図に示す従来の割込みコントローラ回路と同じであるので、その詳細な説明は省略する。

ところで、本実施例において、従来のものと異なるのは、ANDゲート8、9である。

まず、ANDゲート8は、インタラプトリクエストレジスタ2からの出力および上位の割込みコントローラ回路1からの割込み処理状況を示す信

号XINTがHレベルにならず、しかもベクタ発生回路6からもベクタ情報は出されず、マスタスレーブ制御回路5の出力もLレベルにならない。その後、割込み保留信号をHレベルにすると、ANDゲート8は、他の入力がHレベルを保持しているとする、Hレベルになる。その結果、割込み開始を制御する信号XINTがHレベルになり、しかもベクタ発生回路6からもベクタ情報が出され、マスタスレーブ制御回路5の出力がHレベルになる。これにより、割込み保留信号がLレベルの間だけ、この割込みコントローラ回路1での割込み処理を停止させ、その後その保留状態を解放することができる。

【実施例】

以下、図面を参照して本発明の実施例を説明する。

この実施例においても、第9図に示すごとく、複数の割込みコントローラ回路1を優先順位の高いものから順にチェーン状につないでなるもので

号IEIに加えて、割込みを保留すべきか否かを決める割込み保留信号が入力されることにより、その論理和出力を出力するものである。

さらに、ANDゲート9は、システム立ち上げ時に初期化の目的で出されるシステムリセット信号およびインサースビスレジスタ4のXQ出力に加えて、割込み要求信号をマスクする割込みマスク信号が入力されることにより、その論理和出力をインタラプトリクエストレジスタ2のリセット端へ入力するものである。

なお、他の割込みコントローラ回路1も同様な構成となっている。

上述の構成により、割込み保留信号も割込みマスク信号も入っていない状態（共にHレベルの状態）では、上位の割込みコントローラ回路1が割込み要求をしていない状態（信号IEIがHレベル）で、割込み要因信号が入力されたとする、インタラプトリクエストレジスタ2のQ出力がHレベルになるので、ANDゲート8の出力もHレベルになる。これにより、信号XINTがHレベルになる。

そして、このHレベルの信号XINTがCPU側へ送られると、CPUが割込みモードになるが、このように割込みモードになると、ソフト処理により、CPUからHレベルのXHI, XIOR信号が入力される。これにより、インサースレジスタ4のQ出力がHレベルになって、ベクタ発生回路6から所定のアドレスを指定するベクタ情報(8ビット)が出されるため、この所定のアドレスへジャンプして、割込み処理を実行する。

また、この間、マスタスレーブ制御回路5の出力iEoはLレベルとなっている。従って、この割込みコントローラ回路1よりも下位の割込みコントローラ回路1は割込み禁止状態になっている。

そして、CPUでの割込み処理が終了すると、CPUからは、ソフト処理により、その旨の信号が出され、これを受けたデコーダ7がその旨の信号をゲート12やマスタスレーブ制御回路5へ出す。これにより、マスタスレーブ制御回路5の出力iEoがHレベルになる。その結果、これより下位の割込みコントローラ回路1が割込み処理可能

な状態になる。

このようにして、上位の割込みコントローラ回路1の出力がHレベルのときは、下位の割込みコントローラ回路1による割込み制御が可能になり、上位の割込みコントローラ回路1の出力がLレベルのときは、下位の割込みコントローラ回路1による割込み制御が禁止される。

次に、Hレベルの割込み要因信号がインタラプトリクエストレジスタ2に入力されている状態で、割込みマスク信号がLレベルになると、ANDゲート9の出力はLレベルになるため、インタラプトリクエストレジスタ2は強制的にリセットされる。これにより、ANDゲート8が、他の入力の状況にかかわらず、Lレベルになる。その結果、割込み開始を制御する信号XINTがHレベルにならず、しかもベクタ発生回路6からもベクタ情報は出されず、マスタスレーブ制御回路5の出力もLレベルにならない。これにより、この割込みコントローラ回路1での割込み処理は行なわれず、割込み処理をマスクすることができる。

また、Hレベルの割込み要因信号がインタラプトリクエストレジスタ2に入力されている状態で、Lレベルの割込み保留信号がANDゲート8へ入力されると、このANDゲート8が、他の入力の状況にかかわらず、Lレベルになる。その結果、割込み開始を制御する信号XINTがHレベルにならず、しかもベクタ発生回路6からもベクタ情報は出されず、マスタスレーブ制御回路5の出力もLレベルにならない。その後、割込み保留信号をHレベルにすると、ANDゲート8は、他の入力があるHレベルを保持しているとする、Hレベルになる。その結果、割込み開始を制御する信号XINTがHレベルになり、しかもベクタ発生回路6からもベクタ情報が出され、マスタスレーブ制御回路5の出力がHレベルになる。これにより、割込み保留信号がLレベルの間だけ、この割込みコントローラ回路1での割込み処理を停止させ、その後その保留状態を解放することができる。

このように、割込みコントローラ回路1に割込み要因信号が入っていても、割込みマスク信号や

割込み保留信号を用いて、この割込みコントローラ回路1での割込み制御を禁止したり、保留したりすることができるので、予め優先順位の高いものからデージーチェーンを構成した場合でも、途中で優先順位を自由に変更できるものである。

次に、4つの割込みコントローラ回路1をデージーチェーン方式によって接続している場合において、割込み保留信号も割込みマスク信号も入っていない通常時の割込みサービスと、割込みマスク信号が入ったマスク時の割込みサービスと、割込み保留信号が入った保留時の割込みサービスとについて説明する。

最初に、通常時の割込みサービスから説明する。この場合は、従来の場合と同様であるが、まず第3図(a)のように全ての割込みコントローラ回路1(各割込みコントローラ回路1は優先順位の高いものから順にポートI, II, III, IVと付されている)に割込み要因が入っていない初期の状態において、第3図(b)に示すように、優先順位3(ポートIII)の割込みコントローラ回路1が割

込みサービスを受けて割り込みサービス中になったとする。次に、この状態で、第3図(c)に示すごとく、優先順位2(ポートII)の割り込みコントローラ回路1が割り込み要因信号を受けると、この割り込みコントローラ回路1の出力iEoがLレベルになるため、優先順位3の割り込みコントローラ回路1の割り込みサービスが中断する。そして、第3図(d)に示すように、優先順位2の割り込みサービスが完了して、この優先順位2の割り込みコントローラ回路1の出力iEoがHレベルに復帰すると、優先順位3の割り込みコントローラ回路1での割り込みサービスが再開し、その後は、この優先順位3の割り込みコントローラ回路1よりも優先順位の高い割り込みコントローラ回路1で割り込み要因が入らないかぎり、この割り込みサービスが完了するまで、割り込み処理が実行される[第3図(e)参照]。

なお、第3図(a)～(e)に至る間のタイムチャートを示すと、第6図のようになる。

次に、マスク時の割り込みサービスについて説明する。まず第4図(a)に示すように、優先順位

2の割り込みコントローラ回路1にLレベルの割り込みマスク信号が入力されて、この優先順位2の割り込みコントローラ回路1がマスク状態にあるとする。この状態において、第4図(b)に示すように、優先順位2の割り込みコントローラ回路1に割り込みサービスが要求されたとしても、この優先順位2の割り込みコントローラ回路1の出力iEoはHレベルのままである。従って、優先順位3の割り込みコントローラ回路1に割り込み要因信号が入ると、この優先順位3の割り込みコントローラ回路1が割り込みサービスを受けて割り込みサービス中になる

[第4図(c)参照]。

次に、第4図(c)に示すごとく、優先順位3の割り込みサービスが完了するとともに、優先順位2の割り込みコントローラ回路1への割り込みマスク信号をHレベルにして、マスク状態を解除したあと、第4図(d)に示すように、優先順位2の割り込みコントローラ回路1が割り込み要因信号を受けると、この割り込みコントローラ回路1はマスクを解除されているので、優先順位3以降の割り込みコ

ントローラ回路1に優先して、割り込みサービスを受けることができる。

なお、上記第4図(a)～(e)に至る間のタイムチャートを示すと、第7図のようになる。

次に、保留時の割り込みサービスについて説明する。まず第5図(a)に示すように、優先順位2の割り込みコントローラ回路1にLレベルの割り込み保留信号が入力されて、この優先順位2の割り込みコントローラ回路1が保留状態にあるとする。この状態において、第4図(b)に示すように、優先順位2の割り込みコントローラ回路1に割り込みサービスが要求されたとしても、この優先順位2の割り込みコントローラ回路1の出力iEoはHレベルのままである。従って、優先順位3の割り込みコントローラ回路1に割り込み要因信号が入ると、この優先順位3の割り込みコントローラ回路1が割り込みサービスを受けて割り込みサービス中になる[第5図(c)参照]。

次に、第5図(d)に示すごとく、優先順位2の割り込みコントローラ回路1を保留状態にしたま

ま、優先順位3の割り込みサービスが完了したあと、第5図(e)に示すように、優先順位2の割り込みコントローラ回路1への割り込み保留信号をHレベルにすると、この割り込みコントローラ回路1は割り込み保留を解除されるので、第5図(b)で受けた割り込みサービスを開始する。

なお、上記第5図(a)～(e)に至る間のタイムチャートを示すと、第8図のようになる。

[発明の効果]

以上詳述したように、本発明の優先順位設定機能付き割り込みコントローラ装置によれば、割り込みコントローラ回路に割り込み要因信号が入っていても、割り込みマスク信号や割り込み保留信号を用いて、この割り込みコントローラ回路での割り込み制御を禁止したり保留したりすることができるので、予め優先順位の高いものからデージーチェーンを構成した場合でも、途中で優先順位を自由に変更できる利点がある。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示すブロック図、

第3図(a)～(e)は通常動作時の割込みサービスを説明する図、

第4図(a)～(e)は割込みマスク時の割込みサービスを説明する図、

第5図(a)～(e)は割込み保留時の割込みサービスを説明する図、

第6図は通常動作時の割込みサービスを説明するタイムチャート、

第7図(a)～(e)は割込みマスク時の割込みサービスを説明するタイムチャート、

第8図(a)～(e)は割込み保留時の割込みサービスを説明するタイムチャート、

第9図はデージーチェーンを説明する図、

第10図は従来例を示すブロック図、

第11図は従来例の作用を説明する図である。

図において、

1は割込みコントローラ回路、

2はインタラプトリクエストレジスタ、

3はラッチ、

4はインサースレジスタ、

5はマスタスレーブ制御回路、

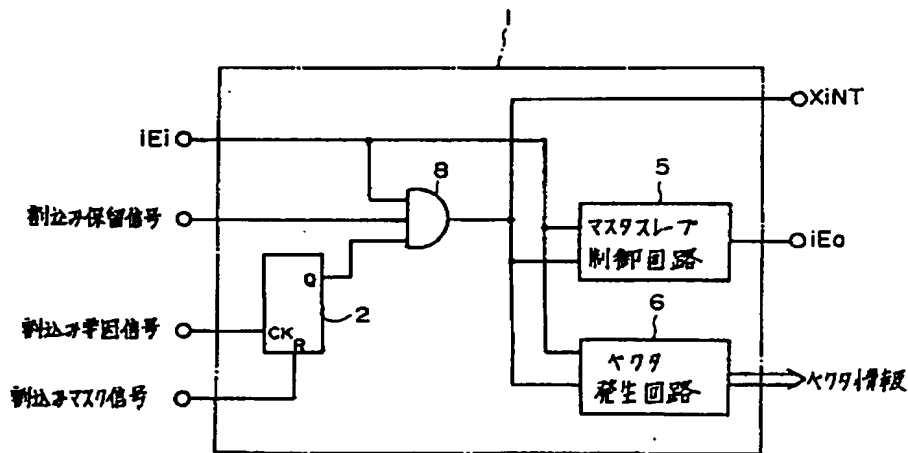
6はベクタ発生回路、

7はデコーダ、

8, 9はANDゲート、

10～19はゲート回路である。

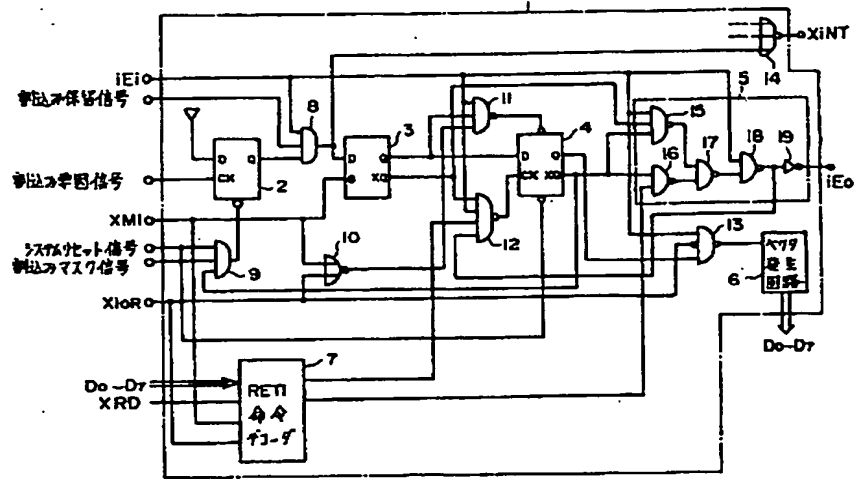
代理人 弁理士 井 桁 貞 一



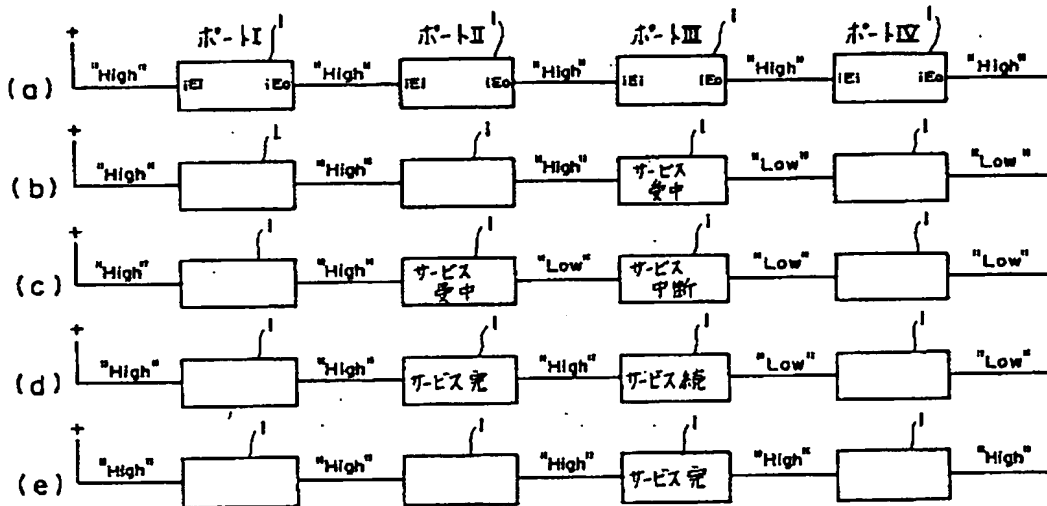
1 --- 割込みコントローラ回路
2 --- インタラプトリクエストレジスタ
8 --- AND ゲート

本発明の原理ブロック図
第1図

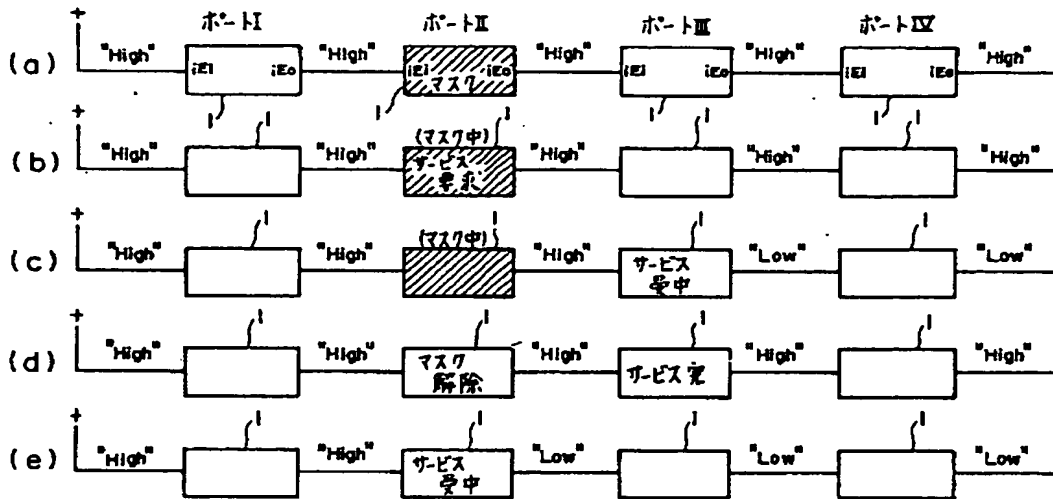
- 1---割込コントロール回路
- 2---インタプリタレジスタ
- 3---ラッチ
- 4---インサレジスタ
- 5---マスタスレーブ制御回路
- 6---ペリ外発生回路
- 8,9---ANDゲート
- 10-19---ゲート回路



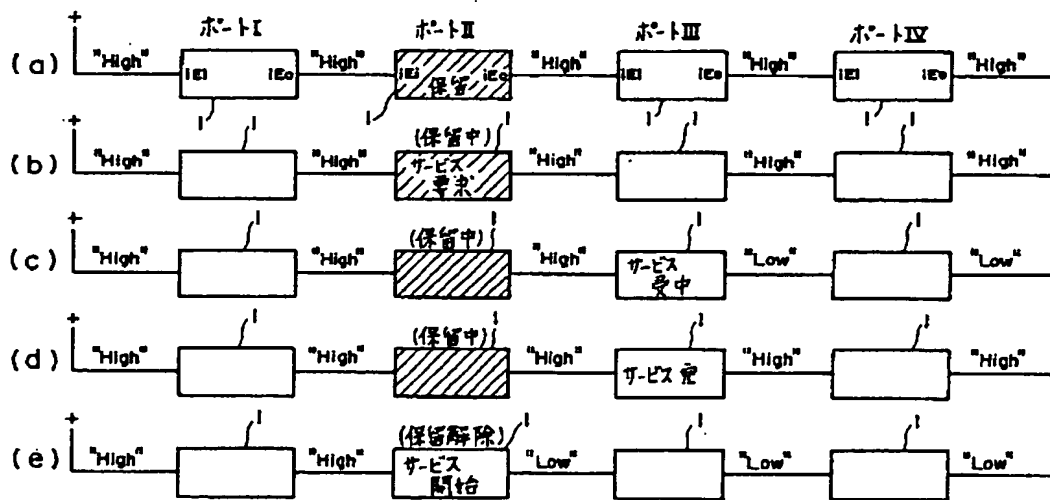
本発明の一実施例を示すブロック図
第2図



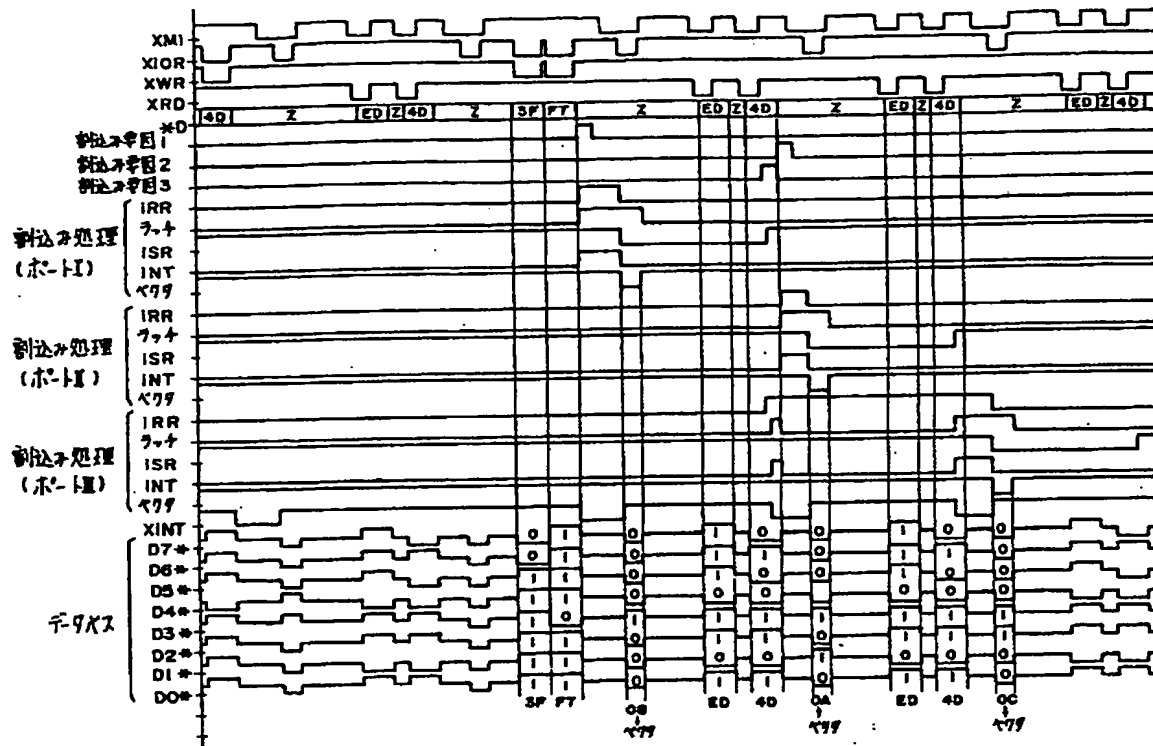
通常動作時の割込サービスと説明する図
第3図



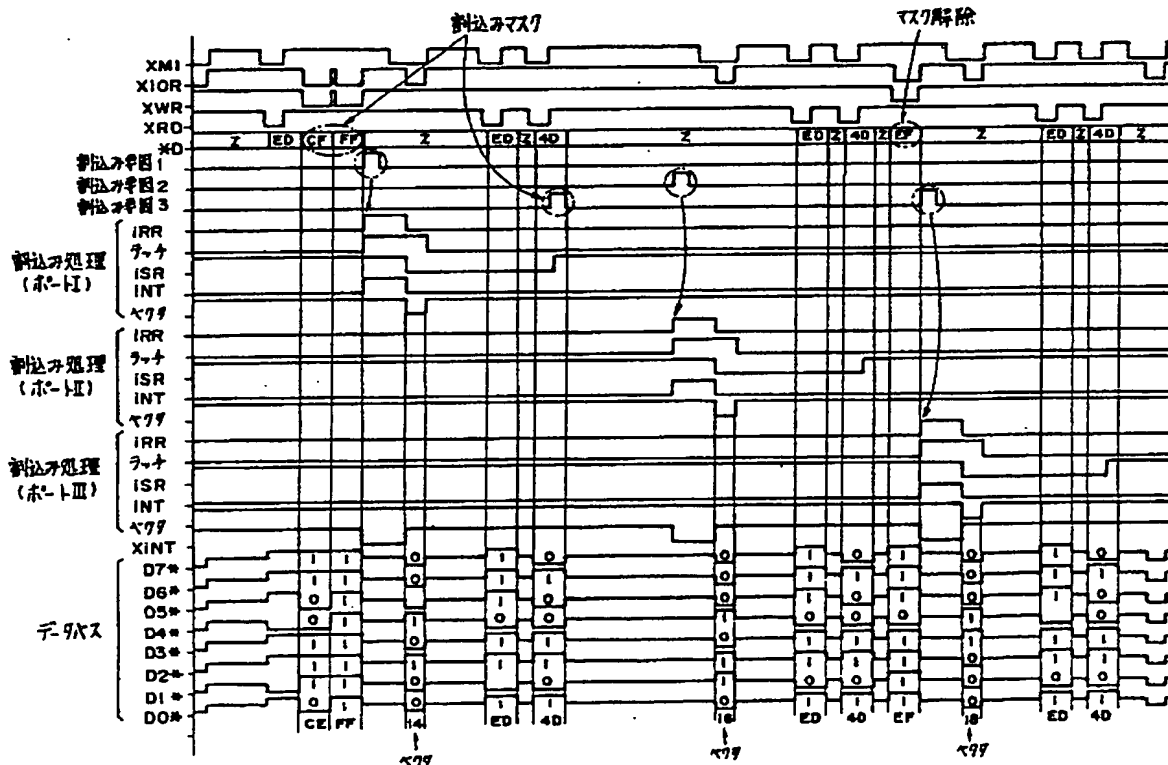
割込みマスク時の割込みサービスを説明する図
第 4 図



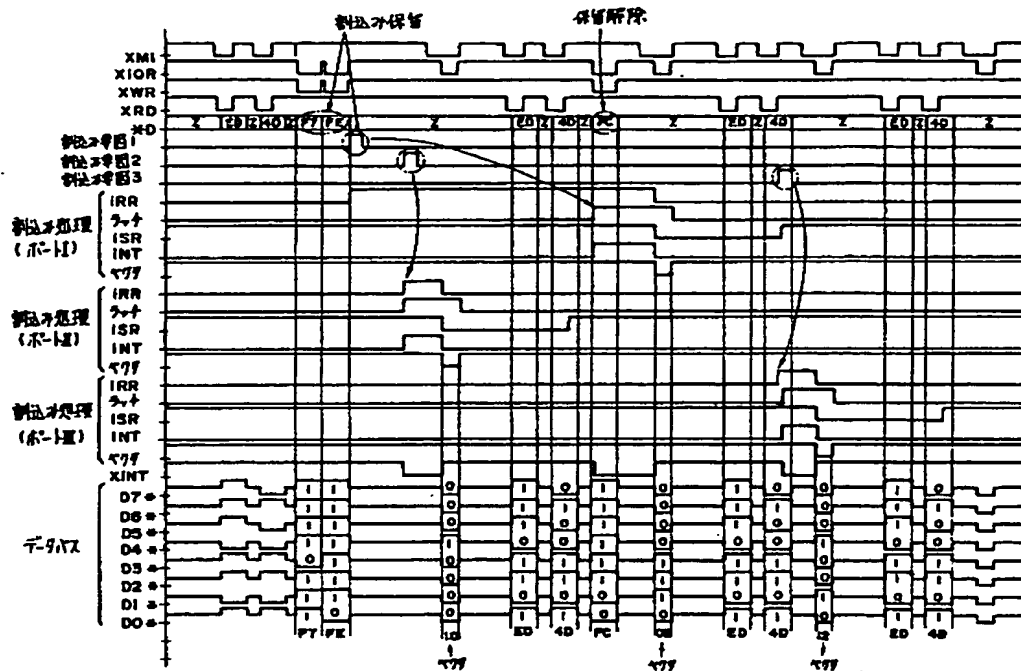
割込み保留時の割込みサービスを説明する図
第 5 図



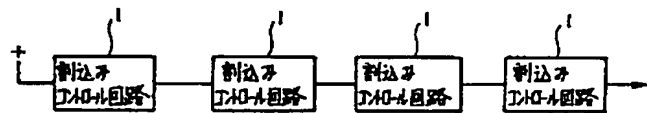
通常動作時の割込みサービスを説明するタイムチャート
第 6 図



割込みマスク時の割込みサービスを説明するタイムチャート
第 7 図

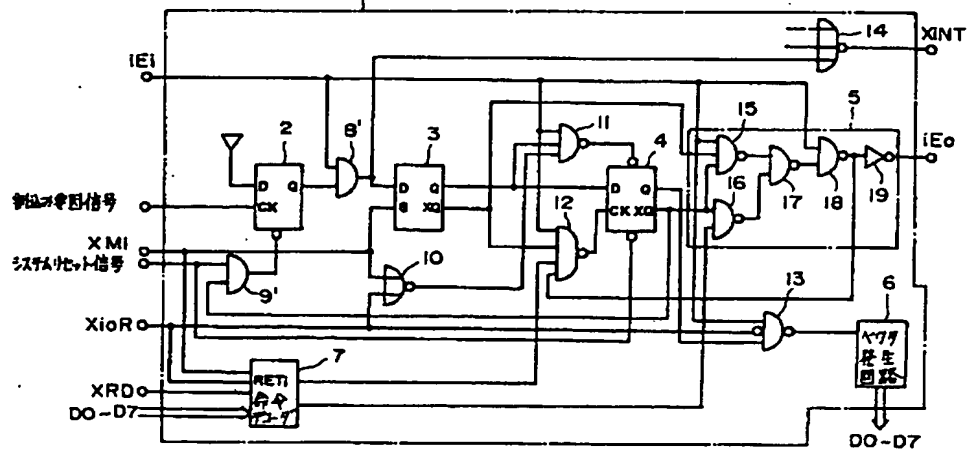


割り込み保留時の割り込みサービス説明タイムチャート
第 8 図



デジチエーンを説明する図
第 9 図

- 1 --- 割り込みコントローラ回路
- 2 --- インタポリタリストジタ
- 3 --- ラッチ
- 4 --- インチビリスジタ
- 5 --- マスタスレーブ制御回路
- 6 --- フラグ発生回路
- 8, 9' --- AND ゲート
- 10-19 --- ゲート回路



従来例を示すブロック図
第 10 図

手続補正書(方式)

平成 2 年 7 月 3 日 通

特許庁長官殿

1 事件の表示

平成1年特許願第28331号

2 発明の名称

優先順位設定機能付き割込みコントローラ装置

3 補正をする者

事件との関係 特許出願人

住所 神奈川県川崎市中原区上小田中1015番地

名称(522) 富士通株式会社

4 代理人

郵便番号 211

住所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

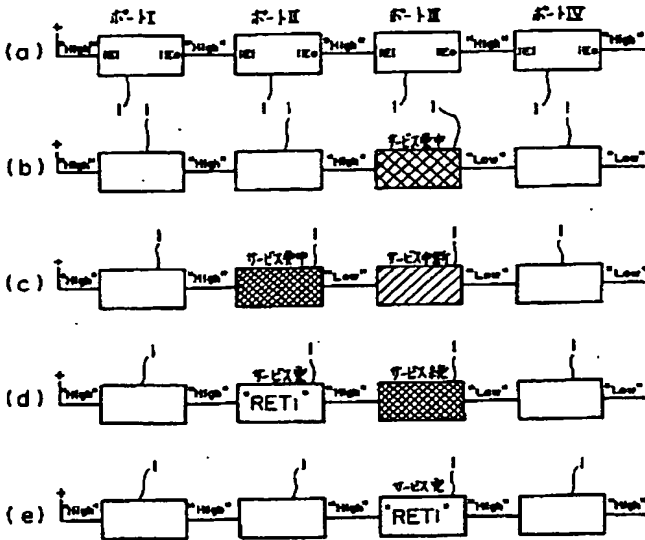
氏名(7259) 井理士 井行 貞一

電話 川崎(044)754-3035

5 補正命令の日付

平成2年6月11日

(発送日 平成2年6月26日)



従来例の作用と説明付図
第11図

6 補正の対象

明細書の図面の簡単な説明の欄。

7 補正の内容

- (1) 明細書第27頁第12行目に記載された「第7図(a)～(e)」を、「第7図」に補正する。
- (2) 明細書第27頁第14行目に記載された「第8図(a)～(e)」を、「第8図」に補正する。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.